

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(58) Int. Cl. ⁵ H01L 23/31 H01L 25/04	(45) 공고일자 1993년04월10일 (11) 공고번호 93-002804
(21) 출원번호 (22) 출원일자 (30) 우선권주장 (71) 발명인	특1990-0007349 1990년05월22일 128313/89 1989년05월22일 일본(JP) 가부사키 가이샤 도시바 마이미 조미치 일본국 가나가와현 가와사키시 사이와미구 호리가와정 72번지
(72) 발명자	미시카미 도시오 일본국 가나가와현 가와사키시 사이와미구 호리가와정 580번 1호 가부사키 가이샤 도시바 반도체시스템기술센터내
(74) 대리인	김윤배

심사관 : 김능관 (특허관 제3214호)

(54) 수지밀봉형 반도체장치

요약

내용 없음.

도표도

도1

발명

[발명의 명칭]

수지밀봉형 반도체장치

[도면의 간단한 설명]

제 1 도는 본 발명의 실시예에 따른 수지밀봉형 반도체 장치의 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|---------------|-------------|
| 1 : 방열판 | 2 : 패딩 |
| 3, 3' : 전극소자층 | 4 : 절연층 |
| 5 : 리드프레임 | 6 : 합금 |
| 7 : 도전성접착재 | 8 : 논리소자 |
| 9 : 배선 | 10 : 수지 |
| 15 : 제 2 회로부 | 5 : 제 3 회로부 |

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 수지밀봉형 반도체장치에 관한 것으로, 특히 다중접합형의 수지밀봉형 반도체장치에 관한 것이다.

[종래의 기술 및 그 문제점]

종래의 수지밀봉형 반도체장치의 패키지의 하나로 특수개의 반도체칩을 탑재한 다중접합형의 수지밀봉형 반도체장치가 알려져 있다.

미와 같은 다중접합형의 수지밀봉형 반도체장치는 종상 도전전류가 적은 논리소자층만을 특수개 탑재하거나, 또는 종전전류가 큰 전극소자층만을 특수개 탑재하고 있다. 즉, 이들 특수개의 반도체칩에 있어서 정어리는 동일종류의 반도체층끼리 탑재하는 구조로 되어 있었다.

미와 같은 다중접합형에서는 탑재할 반도체칩을 종전전류의 대소로 구별하고, 동일종류으로 1패키지화한

고 있는 이유로는 이하와 같은 것을 들 수 있다.

우선, 통전전류가 큰 전력소자에서는 발생되는 열을 방열시키기 위한 방열핀(放熱Fin)이 필요하며, 이 경우 반도체칩의 끝부분의 도선영역(패드부)으로 사용하고 있다. 이 때문에 복수의 반도체칩의 위치를 정밀하게 배치하기 위해서는 통전전류의 흐름을 잘잡아야 할 필요가 있다. 또, 패드부의 방열핀상에 관통홀이 작은 실리콘소자를 탑재하게 되면 전력소자에서 발생되는 열의 영향을 받아 실리콘소자의 특성열화 및 특성 변형이 초래된다.

더욱이, 상기 패드부의 방열핀은 통상 도체에서 복수의 반도체칩을 서로 접합시키기가 곤란하다. 이점에 있어서서는 열안정성을 사용하기나 열안정도를 사용해서 반도체칩을 방열핀상에 고정시키는 방법이 여러 가지로, 전력소자-전력소자의 다중접합방식의 수직밀봉형 반도체장치에서는 전자의 방식이 고려되고 있는 가운데, 사용하려면 제조비용이 증가되는 문제점이 생기고 있어 저가경제성의 제함이 어렵다. 한편, 통자의 방식은 절연화도를 사용하기 때문에 반도체칩의 뒷면으로부터 전극을 인출할 수 없게 된다.

또, 패드부상에 반도체칩을 고정시키는 수단으로서 우선 전력소자에서는 발생되는 열이 많고 뒷면으로부터 전극을 인출할 필요가 있는 등의 이유로 오믹특성, 열전도특성면에서 우수한 편납, 합금반에 의한 다이머링(die bonding) 방식이 이용되고 있다. 한편, 논리스자함에 있어서는 발열량이 적고, 또 보다 저렴한 제품으로 만들기 위해 도전성절착제에 의한 접착이 이용되고 있다. 따라서 앞의 열전도특성, 논리스자성의 다중접합방식의 수직밀봉형 반도체장치를 구성한 경우를 생각해 보면, 다이머링방식에서 다른가 때문에 조립공정이 복잡해지고 제조비용의 증가가 초래되는 이외에 도전성절착제가 열에 약해서 접착제의 탈락 및 특성변형이 초래된다.

또, 다이머링방식을 동일화하는 경우에도 특성의 저하나 제조비용의 증가가 초래된다.

이상과 같은 이유로 종래에는 전력소자함·논리스자함의 다중접합방식의 수직밀봉형반도체장치는 실현하기 곤란하였다.

이와같이 같은 이유로 종래에는 전력소자함·논리스자함의 다중접합방식의 수직밀봉형 반도체장치는 열안정하기 곤란하였다.

[발명의 목적]

본 발명은 상기와 같은 문제점을 감안해서 발명된 것으로 다른 종류의 복수개의 전력소자함, 혹은 복수개의 전력소자함과 적어도 하나의 논리스자함을 사이에 존재시킬 수 있는 다중접합방식의 수직밀봉형 반도체장치를 낮은 제조비용 즉, 저가적으로 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명에 따른 수직밀봉형 반도체장치는 도전성을 띤 제 1 반도체층(합합저항면)과, 금속제리드프레임, 복수의 반도체칩을 구비한 수직밀봉형 반도체장치에 있어서, 상기 금속제리드프레임의 일부를 구성하는 설치한 제 2 반도체층(합합저항면)을 구비하고 있고, 이 제 2 반도체층(합합저항면)과 상기 제 1 반도체층(합합저항면)이 전기적으로 분리된 상태이지만 열적으로는 연결되어 구성된다.

또, 상기 금속제 리드프레임의 일부에 상기 제 1 반도체층 영역과 전기적으로 분리되고, 또 열적으로도 분리된 제 2 반도체층(합합저항면)이 설치된 구성으로 되어 있다.

또, 상기 제 1 반도체층(합합저항면)은 방열기능을 갖고 있다.

[작용]

상기와 같이 구성된 수직밀봉형 반도체장치에 있어서는 통전전류가 큰 제 1 반도체칩을 여러개 방열기능을 갖춘 제 1 반도체층(합합저항면)에 탑재할 수 있다. 더욱이, 통전전류가 큰 제 2 반도체칩을 금속제 리드프레임의 일부를 구성하는 설치한 제 2 반도체층(합합저항면)에 여러개 방열기능을 갖춘 제 1 반도체층(합합저항면)과 전기적으로 절연된 상태로 연결하고 있기 때문에 상기 제 1 반도체칩과 상호간에 절연되면서 방열은 가능한 상태로 탑재할 수 있다.

또, 통전전류가 적은 제 3 반도체칩도 금속제 리드프레임의 일부에 설치된 제 3 반도체층(합합저항면)에 상기 제 1 반도체층(합합저항면)과 전기적으로 절연되어 있고 연결된 되어 있고 연결된 되어 있다. 제 1 및 제 2 반도체칩과 상호간에 절연, 또 열의 영향을 받지 않는 상태로 제 3 반도체층(합합저항면)에 탑재할 수 있다.

[실시예]

이하, 도면을 참조해서 본 발명의 실시예에 따른 수직밀봉형 반도체장치에 대해서 설명한다.

제 1 도는 본 발명의 실시예에 따른 수직밀봉형 반도체장치의 단면도이다. 제 1 도에 나타낸 바와 같이 제 1 반도체층(3)이 패드, 고정되어 있다. 고온다이머링에 사용된 예컨대 Au-Si합금은 도면에 참조부호 6으로 나타내었다. 상기 제 1 패드부(방열핀(1))와 제 2 패드부(15)는 예컨대 절연체(5)에 의해 전기적으로 절연되어 있다. 더욱이 또 한쪽의 리드프레임(5)상에는 이들 제 3 패드부(25)로 해서 통전전류가 적은, 예컨대 논리스자칩(8)이 예컨대 음극이스트의 도전성절착제(7)에 의해 탑재, 고정되어 있다. 또, 각 반도체칩(3, 3', 8)에는 각각 배선(9)이 접속되고, 이들의 주변은 수지(10)로 밀봉되어 있다.

이와 같은 구조의 수직밀봉형 반도체장치에 있어서는 방열핀(1) 제 1 패드부(상)에 탑재되어 있는 제 1 전력소자칩(3)과 리드프레임(5)을 둘러 구부린 형상으로 구성된 제 2 패드부(15)에 탑재되어 있는 제 2 전력소자칩(3')을 동일방향을 사용하지 않고도 전기적으로 분리할 수 있다. 이들 전력소자칩(3, 3')의 방열관로를 설명하면, 우선 제 1 전력소자칩(3)에서 발생된 열은 방열핀(1)을 매개로 방열된다. 한편,

제 2 권력소자점(3')에서 발생된 열은 방열관(1) 및 리드프레임(5)을 매개로 방출된다. 여기서, 제 2 권력소자점(3')의 방열시에 열전도도(4)를 내열성 및 열전도성이 우수한 물질로 사용하면, 본 발명에 유효한 효과를 이룬다.

다록이 이들 권력소자점(3, 3')은 각각 전기적으로 분리된 패드부에 탑재되므로 다른 종류의 권력소자점을 탑재할 수 있다. 또 권력소자점(3, 3')을 발판, 혹은 합금을 사용하는 기판다이어믹에 의해서 고정시키므로 각각의 권력소자점(3, 3')의 회로으로부터 메탄에 전극 통로 인동하기나 하는 것이 가능해진다. 이로부터 다른 종류의 권력소자점 복수개 탑재하는 다중탑형방식의 수지밀봉형 반도체장치를 저렴한 제조비용으로 제공할 수 있게 된다.

또, 상기 1 실시예에서는 권력소자점(3, 3')이이며 출력전류가 적은 논리소자점(8)을 탑재하고 있다. 이 제 리드프레임(5)상에 설치된 제 3 패드부(25)를 이용함으로써 논리소자점(8)을 권력소자(3, 3')와 함께 탑재할 수 있게 따른다. 예컨대 종래에는 특히 논리소자점을 고정하는 수단의 하나인 도전성접착제가 온도에 의해 접착특성이 열화되고, 논리소자의 특성도 변질 및 변화되는 문제점이 있어서 권력소자와 동시에 존재시킬 수 없었다. 그런데, 상술한 바와 같이 리드프레임(5)을 패드부(25)를 이용하여 따라, 열처리나 전기적으로 상기 권력소자점(3, 3')을 탑재한 제 1 및 제 2 패드부(1, 15)와 분리시킬 수 있다. 이와 같이 권력소자점(3, 3')을 탑재한 제 1 및 제 2 패드부(1, 15)와 논리소자점(8)을 탑재한 제 3 패드부(25)를 열처리나 전기적으로 분리시킴으로써 관통전류가 적은 논리소자점(8)과 권력소자점(3, 3')을 동시에 존재시킬 수 있게 된다.

이와 같이 다른 종류의 권력소자(3, 3')와 논리소자(8)를 동시에 존재시키면, 예컨대 오퍼와 같은 전기적 구성부품으로부터 예컨대 OPA와 같은 연산기능을 갖는 것도 구성이 가능한 고기능의 수지밀봉형 반도체장치를 제공할 수 있게 된다. 또, 이러한 고기능의 수지밀봉형 반도체장치이지만 본 발명에 의하면 낮은 제조비용, 즉 저가적으로 제공할 수 있게 된다.

한, 상기 1 실시예에서는 DIP형의 수지밀봉형 반도체장치를 예로 들어 설명하였지만, 본 발명은 DIP형에 한정되지 않으며 예컨대 SIP형에서도 좋다. 더욱이 리드(핀)을 안출하는 방향을 3방향이나 4방향(예컨대 OPAP), 혹은 그 이상으로 해도 본 발명을 적용시킬 수 있음을 밝힌다.

[발명의 효과]

이상에서 설명한 바와 같이 본 발명에 의하면, 다른 종류의 복수개의 권력소자점 혹은 다른 종류의 복수개의 권력소자점과 적어도 1개의 논리소자점이 탑재된 다중탑형방식의 수지밀봉형 반도체장치를 낮은 제조비용, 즉 저가적으로 제공할 수 있게 된다.

(5) 청구의 범위

청구항 1

도전성을 띤 제 1 반도체절합재영역(1)과, 금속제 리드프레임(5), 복수의 반도체점(3, 3', 8)을 구비한 수지밀봉형 반도체장치에 있어서, 상기 금속제 리드프레임(5)의 밑부를 구비해서 설치한 제 2 반도체절합재영역(15)을 구비하고 있고, 이 제 2 반도체절합재영역(15)과 상기 제 1 반도체절합재영역(1)이 전기적으로 분리된 상태이고 열적으로는 연결된 것을 특징으로 하는 수지밀봉형 반도체장치.

청구항 2

제 1 항에 있어서, 다른 금속제 리드프레임(5)이 설치되고, 이 다른 금속제 리드프레임(5)상에 상기 제 1 반도체절합재영역(1)과 전기적으로 분리되고, 또 열적으로도 분리된 제 3 반도체절합재영역(25)이 설치된 것을 특징으로 하는 수지밀봉형 반도체장치.

청구항 3

제 1 항 또는 2 항에 있어서, 상기 제 1 반도체절합재영역(1)이 발판기능을 갖는 것을 특징으로 하는 수지밀봉형 반도체장치.

도면

521

